SWU Engineering Journal (2014) 9(2), 86-94 วารสารวิศวกรรมศาสตร์ มหาวิทยาลัยศรีนครินทรวิโรฒ
ปีที่ 9 ฉบับที่ 2 เดือนกรกฎาคม - ธันวาคม พ.ศ.2557

หลักการเบื้องต้นเฟสล็อกลูปสำหรับอินเวอร์เตอร์แบบต่อเข้ากริด

Fundamental of Phase-locked Loop for Grid -Connected Inverter

ชาญฤทธิ์ ธาราสันติสุข
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้าและโทรคมนาคม คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีราชมงคลกรุงเทพ
เลขที่ 2 ถนนนางลิ้นจี่ แขวงทุ่งมหาเมฆ เขตสาทร กรุงเทพมหานคร 10120
E-mail: chanrit.t@rmutk.ac.th

บทคัดย่อ

บทความนี้นำเสนอทฤษฎี การสร้างและนำเฟสล็อกลูปมาใช้งานในอินเวอร์เตอร์แบบต่อเข้ากริดในระบบไฟฟ้าหนึ่งเฟสและสามเฟส ทฤษฎีเฟสล็อกลูปจะนำเสนอด้วยบล็อกไดอะแกรมเพื่ออธิบายการทำงาน การออกแบบตัวกรองแบบพีไอในระบบเฟสล็อกลูปด้วยทฤษฎีระบบควบคุม จากนั้นใช้การจำลองการทำงานเฟสล็อกลูปแบบดิสครีตด้วยโปรแกรม Matlab/Simulink เพื่อยืนยันการทำงานของเฟสล็อกลูปด้วยค่าเริ่มต้น $v_{in} = 220\,\text{V}, 50\,\text{Hz}, t_s = 100\,\text{ms}, \zeta = 1/\sqrt{2}$ มาออกแบบตัวกรองลูปแบบพีไอได้ค่า $K_p = 92, T_i = 21.73\,\text{ms}$ จากผลจำลองการทำงานเฟสล็อกลูปสามารถทำงานได้โดยมีเกณฑ์การประเมินสมรรถนะจากพารามิเตอร์ $\Delta\omega_H, \Delta\omega_L, \Delta\omega_{po}, T_p, T_L$ ตามลำดับ บทความวิชาการนี้เป็นบทความแรกในชุดบทความเกี่ยวกับเฟสล็อกลูปโดยสองบทความที่จะนำเสนอต่อไปคือบทความเฟสล็อกลูปแบบหนึ่งเฟส และบทความเฟสล็อกลูปแบบสามเฟส ซึ่งสามารถนำมาประยุกต์ใช้งานกับอินเวอร์เตอร์แบบต่อเข้ากริดได้

คำสำคัญ: เฟสล็อกลูป PLL อินเวอร์เตอร์แบบต่อเข้ากริด

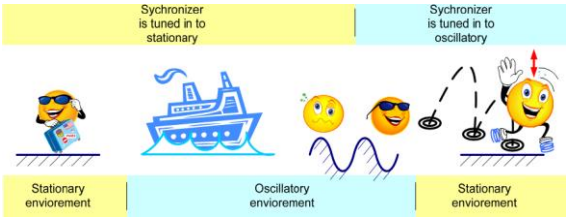
ABSTRACT

This paper presents the theory, implementation, and application of a phase-locked loop (PLL) for single-phase and three-phase grid connected inverters. Phase-locked loop theory is described as block diagram to express its operation. The PI loop filter in the PLL system is designed using control system theory and then its simulation is implemented as a discrete-time model in Matlab/Simulink. The PI loop filter parameters are designed in this work using the initial condition parameters: $v_{in} = 220\,\text{V}, 50\,\text{Hz}, t_s = 100\,\text{ms}, \zeta = 1/\sqrt{2}$, hence $K_p = 92, T_i = 21.73\,\text{ms}$. The phase-locked loop simulation results illustrate that the designed control system can perform effectively in respect to the performance criteria, i.e. $\Delta\omega_H, \Delta\omega_L, \Delta\omega_{po}, T_p, T_L$. This paper is the first paper in a series of papers on the phase-locked loop. The two ongoing papers present single-phase and three-phase PLL systems that can be applied to a grid-connected inverter.

Keyword: Phase –Locked Loop, PLL, Grid -connected inverter

1. บทนำ

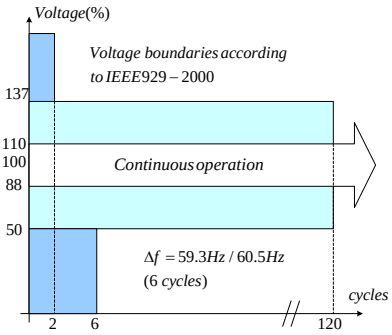
เฟสล็อกลูปได้ถูกประยุกต์ใช้งานอย่างกว้างขวางในด้านต่างๆ เช่น ด้านการทหาร ด้านสื่อสาร การควบคุมเซอร์โวมอเตอร์ [1, 2] โดยมีลักษณะเป็นระบบป้อนกลับแบบวงปิด ซึ่งออสซิลเลเตอร์ถูกควบคุมเพื่อสร้างคาบของสัญญาณภายนอกด้วยการป้อนกลับ ในชีวิตประจำวันของเราสามารถพบได้ อาทิเช่น เมื่อต้องเดินทางด้วยเรือ จังหวะการก้าวเดินบนเรือจำเป็นต้องซิงโครไนท์กับจังหวะการโคลงของเรือเพื่อไม่ให้ล้มลง เช่นเดียวกันเมื่อทะเลเกิดคลื่นลมแรง การซิงโครไนท์จะยากมากขึ้นเนื่องจากเรือโคลงมากดังในรูปที่ 1 และ 2 ตามลำดับ หรือการปรับวิทยุรับคลื่นช่องใดช่องหนึ่งด้วยการปรับวงจรออสซิลเลเตอร์ภายในเพื่อนำสัญญาณพาหะมามอดดูเลชันเพื่อให้รับคลื่นวิทยุช่องนั้นได้ชัดเจน เมื่อเราปรับวิทยุไปรับฟังอีกช่องหนึ่ง ออสซิลเลเตอร์จะต้องกวาดความถี่พาหะไปซิงโครไนท์กับช่องวิทยุใหม่ได้อย่างแม่นยำ



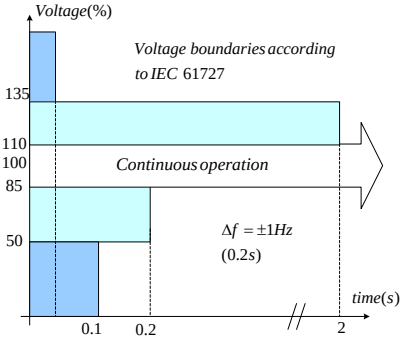
รูปที่ 1 ตัวอย่างการซิงโครไนท์ขณะเดินทางด้วยเรือ

รูปที่ 2 การรบกวนจากคลื่นทะเลที่แปรปรวน

ในปัจจุบันได้มีการนำเฟสล็อกลูปมาประยุกต์ใช้งานกับอินเวอร์เตอร์แบบต่อเข้ากริด (Grid-connected Inverter) เนื่องจากความสามารถในด้านการซิงโครไนซ์ที่ความถี่เดียวกันและมุมเฟสที่ตรงกัน รวมทั้งข้อกำหนดของมาตรฐานทางไฟฟ้า อาทิเช่น IEEE 929-2000 [4] และ IEC61727 [5] ที่มีการกำหนดเงื่อนไขของแรงดันและความถี่ของอินเวอร์เตอร์ที่ใช้งานผลิตไฟฟ้าจากเซลล์แสงอาทิตย์ เงื่อนไขของการเชื่อมต่อเข้ากริดและการแยกตัวเป็นอิสระ (Islanding) โดยเมื่อพิจารณาจากอินเวอร์เตอร์ที่ใช้งานซึ่งสามารถแยกประเภทของเฟสล็อกลูปได้ 2 แบบคือเฟสล็อกลูปแบบหนึ่งเฟสและสามเฟส



(ก)



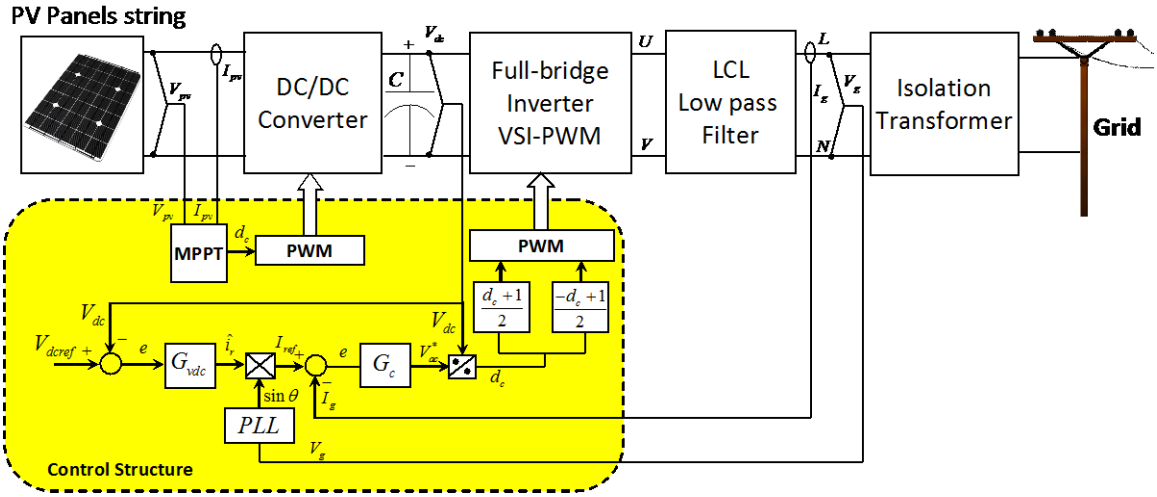
(ข)

รูปที่ 3 (ก) มาตรฐาน IEEE 929-2000
(ข) มาตรฐาน IEC 61727

ในรูปที่ 4 เป็นบล็อกไดอะแกรมแสดงตัวอย่างการนำเฟสล็อกลูปไปใช้งานในอินเวอร์เตอร์แบบเชื่อมต่อเข้ากริดประกอบด้วยสามส่วนใหญ่ๆ ดังนี้ [2, 8]

1.1 ดีซีทูดีซีคอนเวอร์เตอร์ที่รับอินพุตจากเซลล์แสงอาทิตย์ทำการแปลงผันไฟฟ้ากระแสตรงด้วยการควบคุมดิวตี้ไซเคิลและอัลกอริทึมติดตามกำลังไฟฟ้าสูงสุด (Maximum Power Point Tracking; MPPT)

1.2 อินเวอร์เตอร์แบบหนึ่งเฟสทำหน้าที่แปลงผันไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสสลับโดยมีการควบคุมวงรอบกระแส (G_c) และวงรอบแรงดัน (G_{vdc}) ส่วนเฟสล็อกลูปในรูปที่ 4 ทำหน้าที่ตรวจจับเฟสและสร้างสัญญาณรูปคลื่นไซน์สำหรับมอดดูเลชันแบบไซน์



รูปที่ 4 บล็อกไดอะแกรมของอินเวอร์เตอร์แบบต่อเข้ากริด

1.3 วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟ เนื่องจากแรงดันและกระแสที่ได้จากอินเวอร์เตอร์นั้นมีสัญญาณฮาร์มอนิกส์ปะปนอยู่ดังนั้นเพื่อให้ได้แรงดันและกระแสไฟฟ้ากระแสสลับที่มีความผิดเพี้ยนน้อยและเป็นไปตามมาตรฐานจึงต้องใช้วงจรกรองกระแสโดยใช้ตัวเหนี่ยวนำ (L) ตัวเหนี่ยวนำร่วมกับตัวเก็บประจุ (LC) หรือตัวเหนี่ยวนำสองตัวร่วมตัวเก็บประจุ (LCL) [2] ซึ่งส่วนประกอบของอินเวอร์เตอร์แบบต่อเข้ากริดโดยทั่วไปสามารถแสดงส่วนประกอบได้ในรูปที่ 5

รูปที่ 5 ภาพอินเวอร์เตอร์แบบต่อเข้ากริด

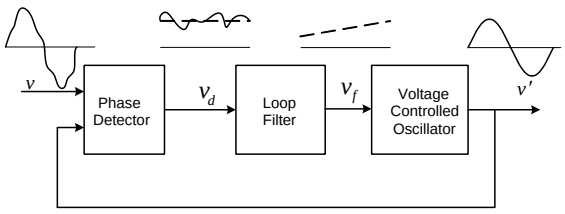
2. บล็อกไดอะแกรมของเฟสล็อกลูป

การทำงานของเฟสล็อกลูปมีบล็อกไดอะแกรมพื้นฐานดังรูปที่ 6 ประกอบด้วย 3 บล็อกดังนี้ [2]

2.1 ตัวตรวจจับเฟส (Phase detector; PD) ทำหน้าที่ตรวจจับความต่างเฟสของสัญญาณ อินพุต และสัญญาณที่ได้จากออสซิลเลเตอร์ สัญญาณความต่างเฟส ที่ได้นั้นจะมีองค์ประกอบของไฟฟ้ากระแสสลับและไฟฟ้ากระแสตรง

2.2 ตัวกรองลูป (Loop filter; LF) ทำหน้าที่ลดทอนสัญญาณความถี่สูง และกรองสัญญาณความถี่ต่ำจากบล็อกตัวตรวจจับเฟสผ่าน ซึ่งนิยมใช้ตัวกรองความถี่ต่ำอันดับหนึ่งหรือตัวควบคุมพีไอ

2.3 ออสซิลเลเตอร์ควบคุมด้วยแรงดัน (Voltage Control Oscillator; VCO) ทำหน้าที่สร้างสัญญาณไฟฟ้ากระแสสลับที่ขึ้นอยู่กับแรงดันด้านอินพุต



รูปที่ 6 บล็อกไดอะแกรมของเฟสล็อกลูปแบบพื้นฐาน

3. การทำงานของเฟสล็อกลูป

จากบล็อกไดอะแกรมในรูปที่ 6 เมื่อนำไปใช้งานจริงสามารถสร้างตัวตรวจจับเฟสด้วยตัวคูณสัญญาณ (Multiplier) สร้างตัวกรองลูปด้วยตัวควบคุมแบบพีไอ และสร้างออสซิลเลเตอร์ควบคุมด้วยแรงดันจากตัวอินทิเกรตผ่านฟังก์ชันโคไซน์ดังในรูปที่ 7, [2] สัญญาณแรงดันอินพุต (v) ของเฟสล็อกลูปกำหนดตามสมการที่ (1)

$$v = V\sin(\theta) = V\sin\left(\omega t + \phi\right) \tag{1}$$

สัญญาณแรงดันที่สร้างโดยออสซิลเลเตอร์ (v')

$$v' = \cos(\theta') = \cos(\omega' t + \phi') \tag{2}$$

สัญญาณความผิดพลาดของเฟส (ε_{pd}) จากตัวคูณสามารถเขียนได้ดังนี้

$$\varepsilon_{pd} = Vk_{pd}\sin(\omega t + \phi)\cos(\omega' t + \phi') \tag{3}$$

$$\varepsilon_{pd} = \frac{Vk_{pd}}{2}\left[\underbrace{\sin((\omega-\omega')t + (\phi-\phi')}_{low-frequency\,term} + \underbrace{\sin((\omega+\omega')t + (\phi+\phi'))}_{high-frequency\,term}\right] \tag{4}$$

ซึ่งสามารถลดทอนสัญญาณความถี่สูงของค่าความผิดพลาดด้วยตัวกรองลูปแบบความถี่ต่ำผ่านสร้างด้วยตัวควบคุมแบบพีไอ ส่วนสัญญาณความผิดพลาดของเฟสที่พิจารณาเฉพาะเทอมความถี่ต่ำ $(\bar{\varepsilon}_{pd})$ เท่านั้นดังสมการที่ (5)

$$\bar{\varepsilon}_{pd} = \frac{Vk_{pd}}{2}\sin\left((\omega-\omega')t + (\phi-\phi')\right) \tag{5}$$

เมื่อออสซิลเลเตอร์ควบคุมด้วยแรงดันสามารถสร้างสัญญาณที่มีความถี่ตรงกับความถี่อินพุตนั่นคือ $\omega \approx \omega'$ ทำให้สมการความผิดพลาดของเฟสสามารถเขียนใหม่ได้ดังนี้

$$\bar{\varepsilon}_{pd} = \frac{Vk_{pd}}{2}\sin(\phi-\phi') \tag{6}$$

เมื่อพิจารณาจากสมการที่ (6) จะสังเกตว่าเป็นฟังก์ชันไซน์ ซึ่งถือว่าความผิดพลาดของเฟสนั้นเป็นสมการไม่เชิงเส้น ดังนั้นเมื่อเราทำให้เป็นเชิงเส้น (linearization) โดยพิจารณาสัญญาณขนาดเล็กที่มุมเฟส $\phi \approx \phi'$ จะได้ $\sin(\phi-\phi') \approx \sin(\theta-\theta') \approx (\theta-\theta')$ เมื่อเฟสล็อกจะได้สมการความผิดพลาดของเฟสดังนี้

$$\bar{\varepsilon}_{pd} = \frac{Vk_{pd}}{2}(\theta-\theta') \tag{7}$$

การทำเป็นเชิงเส้นด้วยวิธีวิเคราะห์สัญญาณขนาดเล็ก (small signal) ในสภาวะที่เฟสล็อก ค่าความถี่เฉลี่ยของออสซิลเลเตอร์ควบคุมด้วยแรงดันสามารถหาได้ดังนี้

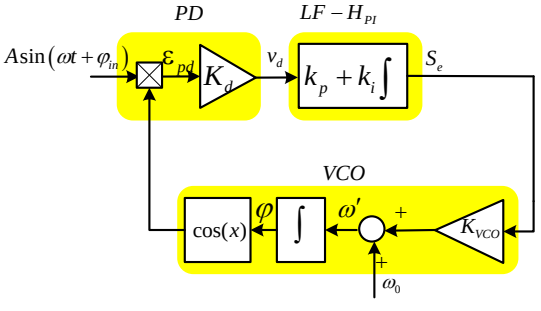
$$\bar{\omega}' = (\omega_0 + \Delta\bar{\omega}') = \omega_0 + k_{vco}\bar{v}_{lf} \tag{8}$$

เมื่อ ω_0 คือความถี่มูลฐานของออสซิลเลเตอร์ พิจารณาจากบล็อกไดอะแกรมในรูปที่ 7 ส่วนที่ป้อนไปหน้า โดยสัญญาณขนาดเล็กของความความถี่ออสซิลเลต $(\tilde{\omega}')$ ที่ขึ้นอยู่กับแรงดันอินพุตขนาดเล็ก $\left(\tilde{v}_{lf}\right)$ คือ

$$\tilde{\omega}' = k_{vco}\tilde{v}_{lf} \tag{9}$$

และการเปลี่ยนแปลงของมุมเฟสขนาดเล็ก $\left(\tilde{\theta}'\right)$ ที่ได้จากเฟสล็อกลูปคือ

$$\tilde{\theta}'(t) = \int \tilde{\omega}'(t)dt = \int k_{vco}\tilde{v}_{lf}\,dt \tag{10}$$



รูปที่ 7 บล็อกไดอะแกรมสร้างเฟสล็อกลูปพื้นฐาน

4. การทำเป็นเชิงเส้นของเฟสล็อกลูป (Linearization of a PLL)

จากสมการที่ (7) และ(10) เป็นสมการที่วิเคราะห์ในโดเมนเวลาเมื่อทำการแปลงลาปลาซ โดยกำหนดให้ $k_{pd} = k_{vco} = 1, V = 1\text{V}$ และสมการตัวควบคุมแบบพีไอ แล้วจะสามารถนำมาเขียนบล็อกไดอะแกรมเพื่อวิเคราะห์ระบบเฟสล็อกลูปโดยใช้การป้อนกลับหนึ่งหน่วยดังในรูปที่ 8, [2]

ตัวตรวจจับเฟส $E_{pd}(s) = \frac{V}{2}\left(\Theta(s) - \Theta'(s)\right)$ (11)

ตัวกรองลูป $V_{lf}(s) = k_p\left(1 + \frac{1}{T_i s}\right)E_{pd}(s)$ (12)

ออสซิลเลเตอร์ควบคุมด้วยแรงดัน

$$\Theta'(s) = \frac{1}{s}V_{lf}(s) \quad (13)$$

บล็อกไดอะแกรมในรูปที่ 8 สามารถหาฟังก์ชันถ่ายโอนวงเปิดได้ดังนี้

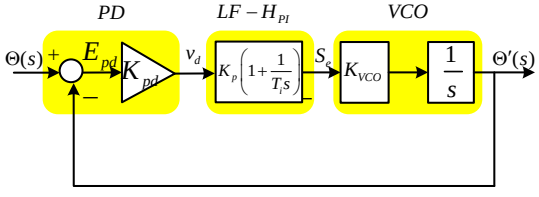
$$F_{OL}(s) = PD(s)LF(s)VCO(s) = k_{in}\frac{k_p\left(1 + \frac{1}{T_i s}\right)}{s} = \frac{k_p s + \frac{k_p}{T_i}}{s^2} \quad (14)$$

และสามารถหาฟังก์ชันถ่ายโอนวงปิด

$$H_\theta(s) = \frac{\Theta'(s)}{\Theta(s)} = \frac{LF(s)}{1 + LF(s)} = \frac{K_p s + \frac{K_p}{T_i}}{s^2 + K_p s + \frac{K_p}{T_i}} \quad (15)$$

ส่วนค่าความผิดพลาดในสภาวะคงตัวสามารถหาได้ดังนี้

$$E_\theta(s) = \frac{E_{pd}(s)}{\Theta(s)} = 1 - H_\theta(s) = \frac{s}{s + LF(s)} = \frac{s^2}{s^2 + K_p s + \frac{K_p}{T_i}} \quad (16)$$



รูปที่ 8 บล็อกไดอะแกรมเฟสล็อกลูป

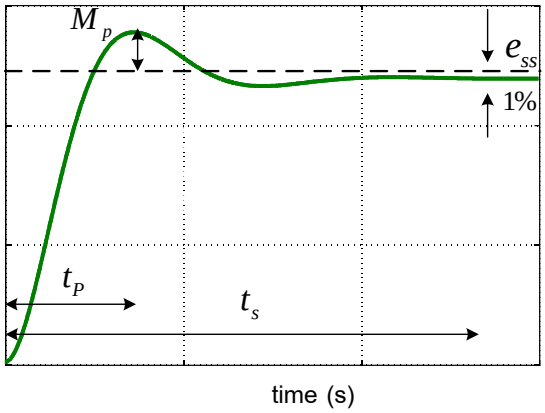
เมื่อพิจารณาจากฟังก์ชันถ่ายโอนวงเปิดเฟสล็อกลูปในสมการที่ (14) จะเห็นว่าเป็นระบบชนิดสอง (type 2 system) มีโพลที่จุดกำเนิดจำนวน 2 โพล นั่นหมายความว่าสามารถติดตามสัญญาณเฟสอินพุตแบบแรมป์โดยไม่มีสัญญาณค่าความผิดพลาด เมื่อมีการป้อนกลับแบบวงปิดดังในสมการที่ (15) จะมีฟังก์ชันถ่ายโอนแบบอันดับสองที่มีลักษณะเหมือนวงจรกรองความถี่ต่ำผ่านอันดับสองทำหน้าที่กรองสัญญาณความถี่สูงและสัญญาณรบกวนที่เข้ามาในระบบ ซึ่งเมื่อเทียบกับสมการมาตรฐานอันดับสองตามสมการที่ (17) และ (18) จะได้ค่า ω_n, ζ ตามสมการที่ (19) และ (20)

$$H_\theta(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n + \omega_n^2} \quad (17)$$

$$E_\theta(s) = \frac{s^2}{s^2 + 2\zeta\omega_n + \omega_n^2} \quad (18)$$

$$\omega_n = \sqrt{\frac{K_p}{T_i}} \quad (19)$$

$$\zeta = \frac{\sqrt{K_p T_i}}{2} \quad (20)$$



รูปที่ 9 ผลตอบสนองทางเวลาของระบบอันดับสอง

จากผลตอบสนองทางเวลาของระบบอันดับสองในรูปที่ 9, [3] สามารถหาช่วงเวลาเข้าที่ (t_s) เพื่อให้ผลตอบสนองทางเวลาเข้าใกล้ผลตอบสนองในสภาวะอยู่ตัวโดยมีค่าผิดพลาดไม่เกิน 1 % เมื่อป้อนสัญญาณอินพุตแบบขั้น (step)

$$t_s = 4.6\tau \quad \text{เมื่อ} \quad \tau = \frac{1}{\zeta\omega_n} \quad (21)$$

จากสมการที่ (21) เมื่อกำหนดช่วงเวลาเข้าที่ของฟังก์ชันถ่ายโอนของสมการที่ (17) แล้วก็จะสามารถหาค่าพารามิเตอร์ของตัวควบคุมแบบพีไอของเฟสล็อกลูปได้จากสมการที่ (25)

จากสมการที่ (19) $\omega_n^2 = \frac{K_p}{T_i} \Rightarrow T_i = \frac{K_p}{\omega_n^2}$ (22)

จากสมการที่ (20) $\zeta^2 = \frac{K_p T_i}{2^2} \Rightarrow T_i = \frac{(2\zeta)^2}{K_p}$ (23)

เทียบสมการที่ (22) และ(23) จะได้ค่า K_P, T_i คือ

$$\frac{K_p}{\omega_n^2} = \frac{(2\zeta)^2}{K_p} \Rightarrow K_p^2 = (2\zeta\omega_n)^2 \quad (24)$$

จะได้ค่า $$K_p = 2\zeta\omega_n = \frac{9.2}{t_s} \quad (25)$$

$$T_i = \frac{2\zeta}{\omega_n} = \frac{t_s\zeta^2}{2.3} \quad (26)$$

เมื่อแทนค่าจะได้ $K_p = 92$ และ $T_i = 21.73\text{ms}$

5. ผลตอบสนองของเฟสล็อกลูป

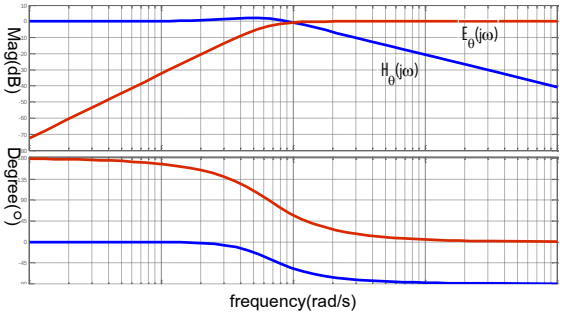
จากบล็อกไดอะแกรมในรูปที่ 12 เป็นแบบจำลองการทำงานของเฟสล็อกลูปด้วยโปรแกรม Matlab/Simulink แบบดิสครีตด้วยเวลาสุ่ม $0.1\mu s$ แบบจำลองประกอบบล็อกคูณสัญญาณ (Product) ตัวควบคุมแบบพีไอ ตัวตัวอินทิเกรตแบบดิสครีต และ ตัวมอดดูเลชั่นด้วยคาบขนาด 2π ตั้งค่าจำลองการทำงานของเฟสล็อกลูปขณะที่ซิงโครไนท์ที่แรงดันอินพุต 220 V ของระบบไฟฟ้าหนึ่งเฟส และเปลี่ยนความถี่อ้างอิงความถี่ จาก 50 Hz เป็น 45 Hz ที่เวลา 400 ms ด้วยการออกแบบที่ค่า $t_s = 100\text{ms}$ และค่าอัตราหน่วงที่เหมาะสมคือ $\zeta = 1/\sqrt{2}$ ผลตอบสนองในรูป13 (ก) แสดงมุมเฟสที่สร้างโดยเฟสล็อกลูป จะพบว่ามุมเฟสสามารถซิงโครไนท์กับแรงดันกริดที่ความถี่ 50 Hz ในรูปที่ 13 (ข) ได้เป็นอย่างดี แต่สัญญาณมุมเฟสยังมีการกระเพื่อมที่ความถี่ฮาร์มอนิกส์ 100 Hz ปะปนอยู่ ทั้งนี้เนื่องจากวงกรองแบบพีไอไม่สามารถกรองสัญญาณกระเพื่อมเหล่านี้ได้ รูปที่ 14 แสดงสมรรถนะเมื่อเปลี่ยนความถี่อ้างอิงจาก 50 Hz เป็น 45 Hz จะเห็นว่าเฟสล็อกลูปสามารถติดตามความถี่ได้ภายในเวลาที่กำหนดไว้ในการออกแบบคือ 100 ms

จากผลการจำลองในรูปเห็นว่าเกิดการออสซิลเลตในสภาวะอยู่ตัวเป็นสัญญาณที่เกิดจากตัวตรวจจับเฟสและตัวกรองแบบพีไอไม่สามารถขจัดสัญญาณรบกวนได้หมด เนื่องจากสัญญาณในวงรอบเป็นไฟฟ้ากระแสสลับความถี่ 50 Hz อย่างไรก็ตามค่าแอมพลิจูดของสัญญาณที่ออสซิลเลตสามารถลดทอนด้วยการตั้งค่าช่วงเวลาเข้าที่ให้นานขึ้นหรือลดแบนด์วิทท์ของระบบดังสมการที่ (27)

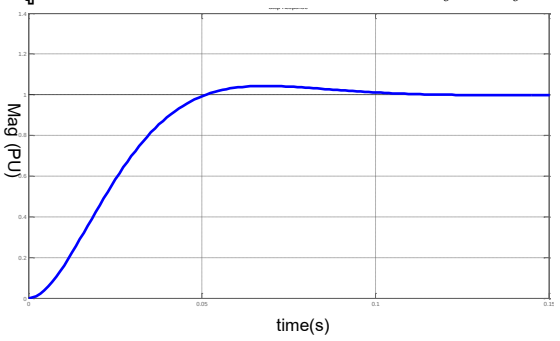
$$\omega_{-3dB} = \omega_n\left[1+2\zeta^2+\sqrt{(1+2\zeta)^2+1}\right]^{1/2} \quad (27)$$

จากการออกแบบที่กำหนดค่าเวลาเข้าที่ t_s และ ζ ได้ค่า $\omega_n = \sqrt{(K_p/T_i)} = 64.968\text{ rad/s}$

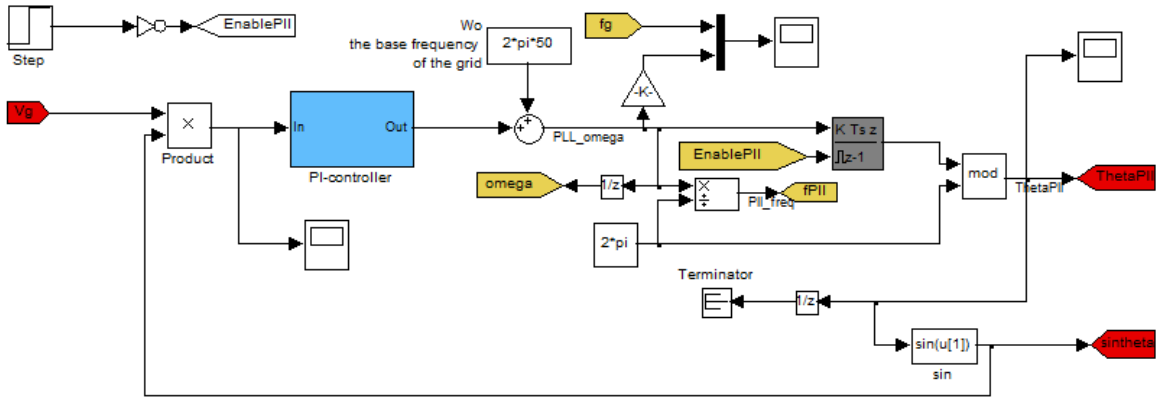
ในรูปที่ 10 แสดงผลตอบสนองทางความถี่ของ $H_\theta(s)$ จะเห็นว่าเป็นแบบกรองความถี่ต่ำผ่านอันดับสอง โดยมีความถี่คัทออฟเมื่อแทนค่าตามสมการที่ (27) จะได้ดังนี้ $\omega_{-3dB} = 133.8\text{rad/s}$ ส่วนผลตอบสนองทางความถี่ของ $E_\theta(s)$ จะมีความไวที่จะขจัดสัญญาณรบกวนที่ความถี่สูง รูปที่ 11 แสดงผลตอบสนองต่อสัญญาณแบบขั้นโดยใช้พารามิเตอร์ที่ออกแบบ



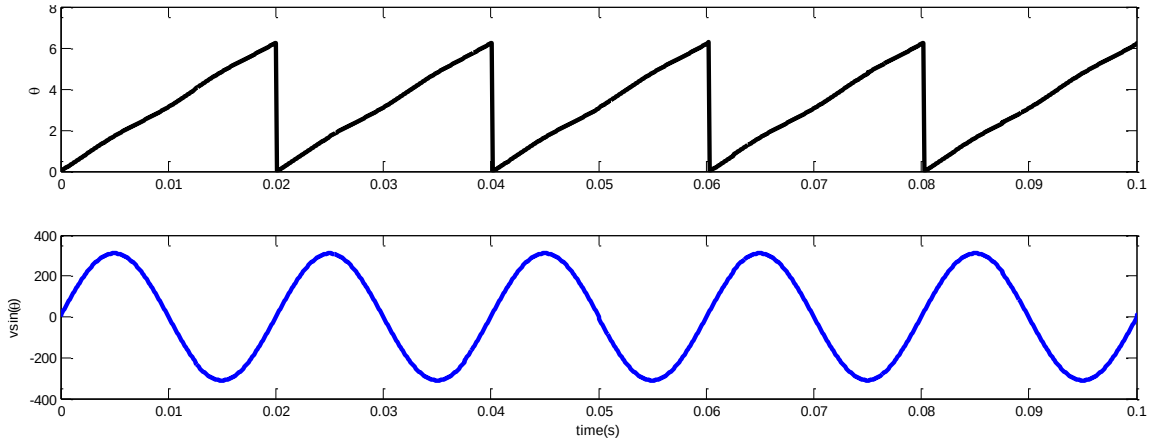
รูปที่ 10 ผลตอบสนองทางความถี่ของ $H_\theta(s), E_\theta(s)$



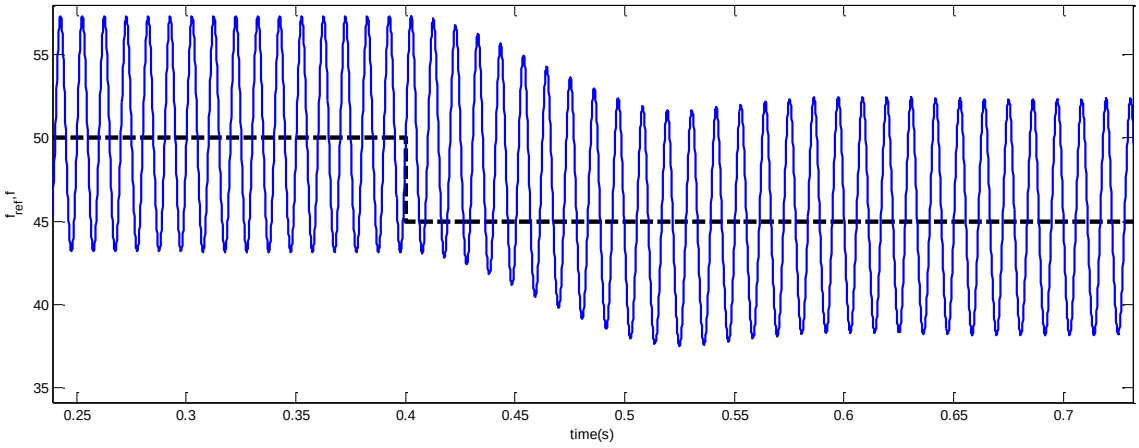
รูปที่ 11 ผลตอบสนองต่อสัญญาณแบบขั้นของ $H_\theta(s)$



รูปที่ 12 แบบจำลองการทำงานเฟสล็อกลูปด้วยโปรแกรม Matlab/Simulink



รูปที่ 13 ผลจำลองการทำงานเฟสล็อกลูป
(ก) มุมเฟสที่ความถี่ 50 Hz
(ข) แรงดันไฟฟ้ากระแสสลับที่ได้จากเฟสล็อกลูป



รูปที่ 14 ผลจำลองการทำงานเฟสล็อกลูปขณะเปลี่ยนความถี่จาก 50Hz ไป 45 Hz ที่เวลา 0.4 s

6. พารามิเตอร์ที่สำคัญของเฟสล็อกลูป

สมรรถนะของเฟสล็อกลูปจะต้องพิจารณาถึงพารามิเตอร์ที่สำคัญดังนี้ [2]

6.1 ช่วงยึด (hold range) $\Delta\omega_H$ คือช่วงความถี่ที่เฟสล็อกลูปที่ซึ่งคงสภาวะเฟสล็อกไว้ได้ สามารถหาได้จากสมการที่ (28)

$$\Delta\omega_H = K_{pd}K_{vco}LF(0) \tag{28}$$

เมื่อ $LF(0)$ คืออัตราขยายดีซีของตัวกรองลูป สำหรับตัวควบคุมแบบพีไอจะมี $LF(0)=\infty$ แต่ในทางปฏิบัติจะถูกจำกัดด้วยช่วงความถี่ที่สร้างด้วยตัวออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน

6.2 ช่วง pull-in $\Delta\omega_P$ คือช่วงความถี่ที่เฟสล็อกลูปสามารถจะล็อกเฟสได้ แต่กระบวนการนี้จะช้ามาก ช่วงความถี่นี้จะมีค่าสูงเป็นอนันต์สำหรับตัวควบคุมแบบพีไอ โดยเวลาที่เฟสล็อกลูปต้องการสำหรับสถานะล็อกเมื่อเกิดกระบวนการ pull-in ขึ้น สามารถหาค่าการเปลี่ยนแปลงของ $\Delta\omega_{in}$ ได้จากคาบเวลาในสมการที่ (29) แสดงได้ในรูปที่ 15

$$T_P \approx \frac{\pi^2}{16}\frac{\Delta\omega_{in}^2}{\zeta\omega_n^3} \tag{29}$$

6.3 ช่วงล็อก (lock) $\Delta\omega_L$ คือช่วงความถี่ที่เฟสล็อกลูปสามารถล็อกได้ในครั้งเดียวเมื่อมีการเปลี่ยนความถี่อ้างอิง ซึ่งสามารถประมาณได้จาก

$$\Delta\omega_L \approx 2\zeta\omega_n \approx 2\zeta\sqrt{\frac{k_p}{T_i}} \tag{30}$$

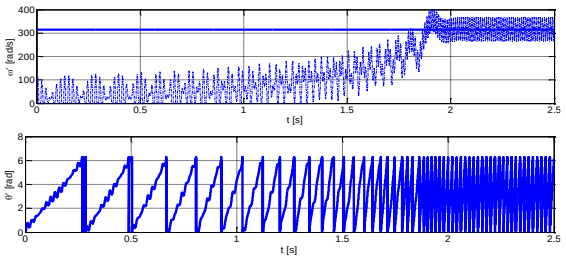
ช่วงเวลา lock-in สามารถคำนวณได้จาก

$$T_L \approx \frac{2\pi}{\omega_n} \tag{31}$$

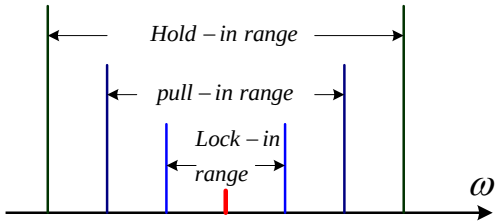
6.4 ช่วง Pull-out คือช่วงที่เกิดข้อจำกัดของสภาวะเสถียรของเฟสล็อกลูป ถ้าเมื่อใดที่ระบบสูญเสียสภาวะล็อก เฟสล็อกลูปจะกลับมามีสถานะล็อกอีกครั้งเมื่อเวลาผ่านไปเกินเวลาล็อก (lock-time) แต่น้อยกว่า pull-in time สามารถคำนวณได้จาก

$$\Delta\omega_{PO} \approx 1.8\omega_n(\zeta+1) \tag{32}$$

ผลตอบสนองในรูปที่ 15 [2] แสดงกระบวนการ pulling เมื่อคำนวณตามสมการที่ (29) จะได้ค่า $T_P \approx 312.7$ ms แต่เมื่ออ่านค่าจากรูปจะเห็นว่ามีค่าประมาณ 2 s ทั้งนี้เนื่องจากความถี่ของ ω_0 ถูกกำหนดเป็นศูนย์ และแบนท์วิทของระบบเมื่อคำนวณตามสมการที่ (27) คือ 21.3Hz แม้สามารถขจัดสัญญาณกระเพื่อมความถี่ 100Hz ได้ แต่มีข้อจำกัดทางไดนามิก กราฟในรูปที่ 16 แสดงสรุปค่าพารามิเตอร์ของเฟสล็อกลูปในสภาวะไดนามิกในกรณีที่เฟสล็อกลูปเป็นระบบอันดับสอง [7]



รูปที่ 15 กระบวนการ Pulling ของเฟสล็อกลูป



รูปที่ 16 ช่วงทางไดนามิกของเฟสล็อกลูป

จากผลการจำลองการทำงานในรูปที่ 13 และ 14 แสดงในเห็นว่าเฟสล็อกลูปแม้เข้าสู่สภาวะอยู่ตัวที่ความถี่มูลฐาน ω_0 แล้วก็ตาม แต่จะมีความถี่ฮาร์มอนิกส์ที่เป็นสองเท่าของความถี่ ω_0 ซึ่งในการจำลองการทำงานนี้คือ 100Hz ซึ่งสามารถปรับปรุงสมรรถนะเฟสล็อกลูปให้เร็วขึ้นด้วยการแปลงปริมาณไฟฟ้ากระแสสลับให้เป็นไฟฟ้ากระแสตรงจากการสร้างสัญญาณตั้งฉาก (quadrature signal) และการแปลงสัญญาณของปาร์ค (Park's transform) เพื่อให้ค่าความผิดพลาดในสภาวะอยู่ตัวเป็นศูนย์และลดทอนความถี่ฮาร์มอนิกส์สองเท่าของความถี่มูลฐาน

7. สรุป

บทความแรกเกี่ยวกับการสร้างเฟสล็อกลูปที่นำมาใช้งานกับอินเวอร์เตอร์แบบต่อเข้ากริด ได้อธิบายการทำงานของเฟสล็อกลูปและออกแบบด้วยทฤษฎีระบบควบคุมพื้นฐานและผลจำลองการทำงานสามารถยืนยันการออกแบบได้เป็นอย่างดี อย่างไรก็ตามในระบบไฟฟ้ากระแสสลับแบบหนึ่งเฟสและสามเฟสจำเป็นต้องเพิ่มเติมการสร้างสัญญาณไฟฟ้ากระแสตรงด้วยบล็อกสร้างสัญญาณตั้งฉาก (Quadrature signal generator) และบล็อกการแปลงสัญญาณของปาร์คเพื่อให้เฟสล็อกลูปมีสมรรถนะดีกว่าเดิม ซึ่งจะได้นำเสนอในบทความที่สองและสามต่อไป

8. เอกสารอ้างอิง

[1] Best R. E., “Phase locked Loops: Design, Simulation, and Applications,” *McGraw-Hill Professional*, New York, 5th Ed., 2003.

[2] Teodorescu R., Liserre M., and Rodriguez P., “Grid Converters for Photovoltaic and Wind Power Systems,” *Wiley*, 2011.

[3] Franklin G. F., Powell J. D., and Emami-Naeini, “Feedback Control of Dynamic Systems,” *Prentice Hall*, 4th Ed., 2002.

[4] IEEE Std. 929-2000, IEEE Recommended Practice for Utility Interface of Photovoltaic (PV) Systems, *IEEE*, 2000.

[5] IEC 61727 Photovoltaic (PV) Systems - Characteristics of the Utility Interface, *International Electrotechnical Commission (IEC)*, 2004.

[6] Teodorescu R., Liserre M., and Rodriguez P., “Industrial/Ph.D. Course in Power Electronics for Renewable Energy Systems – in theory and practice,” *Department of Energy Technology, Aalborg University*, 2011.

[7] G. C. Hsieh and J. C. Hung, “Phase-locked loop techniques – A survey,” *IEEE Transactions on Industrial Electronics*, vol.43, no.6, Dec. 1996, pp. 609-615.

[8] F. Blaabjerg, R. Teodorescu, M. Liserre, and A. V. Timbus, “Overview of control and grid synchronization for distributed power generation systems,” *IEEE Transactions on Industrial Electronics,* vol. 53, no.5, Oct. 2006, pp.1398– 1409.

[9] S. M. Silva, B. M. Lopes, J. C. Filho, R. P. Campana, and W. C. Bosventura, “Performance evaluation of PLL algorithms for single-phase grid-connected systems,” *2004 IEEE Industry Applications Conference*, Oct. 3-7, 2004, Seattle, Washington, pp. 2259-2263.